

**Docket No.: 4459-134**

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Sung Mao WU et al. :  
U.S. Patent Application No. *Not yet assigned* : Group Art Unit: *Not yet assigned*  
Filed: *Herewith* : Examiner: *Not yet assigned*  
For: FLIP CHIP PACKAGE

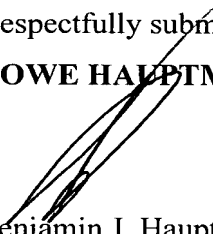
**CLAIM OF PRIORITY AND  
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

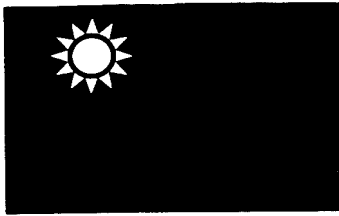
Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Taiwanese Patent Application No. 091138206, filed December 31, 2002*. The certified copy is submitted herewith.

Respectfully submitted,  
**LOWE HAUPTMAN GILMAN & BERNER, LLP**

  
Benjamin J. Hauptman  
Registration No. 29,310

1700 Diagonal Road, Suite 310  
Alexandria, Virginia 22314  
(703) 684-1111 BJH/etp  
Facsimile: (703) 518-5499  
**Date: October 8, 2003**



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder：

申 請 日：西元 2002 年 12 月 31 日  
Application Date

申 請 案 號：091138206  
Application No.

申 請 人：日月光半導體製造股份有限公司  
Applicant(s)

局 長  
Director General

蔡 練 生

發文日期：西元 2003 年 4 月 17 日  
Issue Date

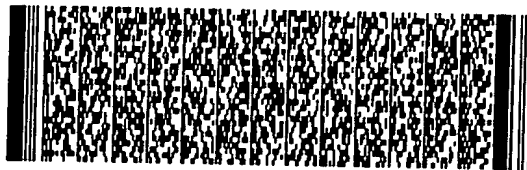
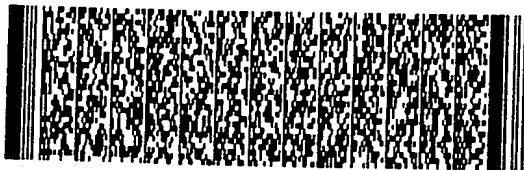
發文字號：09220378590  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中文	覆晶封裝構造
	英文	FLIP CHIP PACKAGE
二、 發明人 (共3人)	姓名 (中文)	1. 吳松茂 2. 王學德 3. 洪志斌
	姓名 (英文)	1. WU, Sung-Mao 2. WANG, Hsueh-Te 3. HUNG, Chi-Pin
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 高雄縣燕巢鄉尖山村紅山巷96號 2. 高雄市左營區立大路50巷17弄3號 3. 高雄市三民區鼎金後路36巷9號
	住居所 (英文)	1. No. 96, Hungshan Lane, Yanchau Shiang, Kaohsiung, Taiwan 2. No. 3, Alley 17, Lane 50, Lida Rd., Tzuoying Chiu, Kaohsiung, Taiwan
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或姓名 (英文)	1. Advanced Semiconductor Engineering, Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. CHANG, Chian-Seng



H:\00608.prd

四、中文發明摘要 (發明名稱：覆晶封裝構造)

一種覆晶封裝構造，其主要包含一半導體晶片以覆晶接合的方式設於一基板之凹部。該基板下表面設有一含有強化材料之絕緣層，藉此增加該多層基板之機械強度。該基板上表面設有複數個錫球鉚墊位於該基板上表面凹部之週邊，用以與外界形成電性連接。該基板包含複數個晶片接墊係設於該含有強化材料之絕緣層表面且裸露於該凹部，其中該晶片接墊係經由複數條導電線路電性連接至該錫球鉚墊。

伍、(一)、本案代表圖為：第\_\_\_\_2\_\_\_\_圖

(二)、本案代表圖之元件代表符號簡單說明：

200	覆晶封裝構造	210	基板
210a	凹部	211	絕緣層
212	晶片接墊	213	錫球鉚墊
214	錫球	220	半導體晶片
222	錫鉛連接	230	填膠

陸、英文發明摘要 (發明名稱：FLIP CHIP PACKAGE)

A flip chip package mainly includes a semiconductor chip disposed in a recessed cavity defined in an upper surface of a substrate by flip-chip bonding. The lower surface of the substrate is provided with a reinforcement-containing insulating layer thereby enhancing mechanical strength thereof. The upper surface of the substrate is provided with a

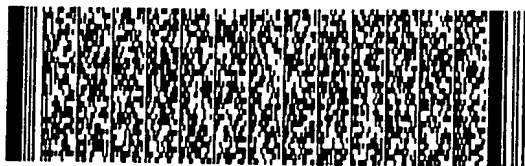


四、中文發明摘要 (發明名稱：覆晶封裝構造)

240 散熱器

陸、英文發明摘要 (發明名稱：FLIP CHIP PACKAGE)

plurality of solder pads formed at the periphery of the recessed cavity for making external electrical connection. The substrate includes a plurality of chip contact pads provided on the surface of the reinforcement-containing insulating layer and exposed from the recessed cavity, wherein the chip contact pads are electrically connected to the solder pads through a plurality



四、中文發明摘要 (發明名稱：覆晶封裝構造)

陸、英文發明摘要 (發明名稱：FLIP CHIP PACKAGE)

of conductive traces.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

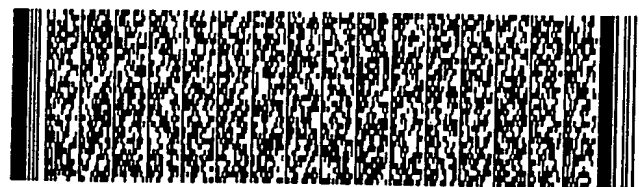
### 【發明所屬之技術領域】

本發明係有關於一種半導體裝置，特別有關於一種覆晶封裝構造。

### 【先前技術】

隨著更輕更複雜電子裝置需求的日趨強烈，半導體晶片的速度及複雜性相對越來越高，因此需要更高之封裝效率(packaging efficiency)。微型化(miniaturization)是使用先進封裝技術(例如晶片尺寸級封裝(chip scale package)以及覆晶(flip chip))的主要驅動力。相較於球格陣列封裝或薄小輪廓封裝(thin small outline package, TSOP)而言，晶片尺寸級封裝以及覆晶這兩種技術均大幅增加封裝效率，藉此減少所需之基板空間。一般而言，一個晶片尺寸級封裝大約比晶片本身大百分之二十，然而覆晶被描述為終極之封裝技術因為其大約與晶片本身一樣大。該晶片本身係直接利用固設於晶片上之錫鉛凸塊(solder bump)與基板(substrate)進行接合。

第一圖揭示一習用覆晶封裝構造100，其包含一半導體晶片110利用覆晶技術安裝於一基板120之上表面。為了增加基板120之機械強度，該基板120一般係由含有強化材料之蕊層(core layer)121形成。該晶片110上表面之晶片鉀墊係以錫鉛連接(solder joint)112連接至設於該基板120上表面的導電線路(conductive traces)123。該基板120之下表面設有複數個錫球鉀墊125利用導電線路以及鍍通孔(plated through holes)129電性連接至該基板120之上





## 五、發明說明 (2)

表面之導電線路123。該每一錫球鐸墊125係設有一錫球140用以與外界電性溝通。

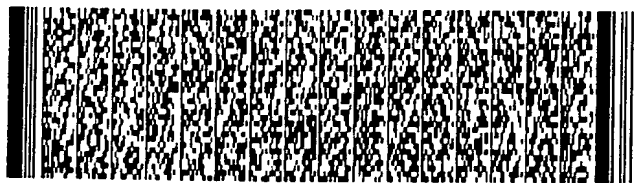
該鍍通孔129一般係藉由在該蕊層(core layer)121上鑽出通孔(through-hole)，並且在該通孔塗覆一層導電金屬而達成。然而，就多層基板而言，通孔及其孔墊是限制線路密度的主要因素之一。孔墊通常要比孔徑大0.2mm左右，以補償鑽孔偏差(drill misregistration)、層壓件的膨脹收縮(laminate expansion/shrinkage)和曝光設備的膨脹收縮(photo tool expansion/shrinkage)。因此，線路設計不易達到真正的高密度。

該蕊層(core layer)121一般具有相當大之厚度藉以有效減少基板產生彎翹(warpage)之機率。然而，該蕊層(core layer)121的厚度越大，則鍍通孔129就會越長。而鍍通孔越長，其阻抗(impedance)，電感(inductance)及雜訊(noise)越大，因而影響最終封裝構造之電性效能。此外，較大之電感值使半導體封裝構造消耗較多之電能，且使晶片內部之積體電路與導線易感受電源滾涌(power surges)。

### 【發明內容】

本發明之主要目的係提供一種覆晶封裝構造，其可克服或至少改善前述先前技術之問題及缺點。

根據本發明之覆晶封裝構造，其主要包含一半導體晶片以覆晶接合的方式設於一基板之凹部。該基板下表面設有一含有強化材料之絕緣層，藉此增加該多層基板之機械強



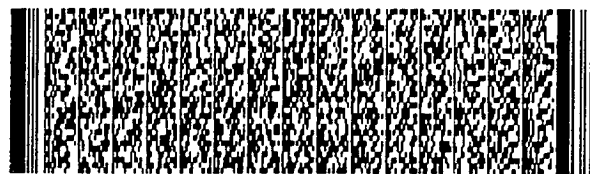
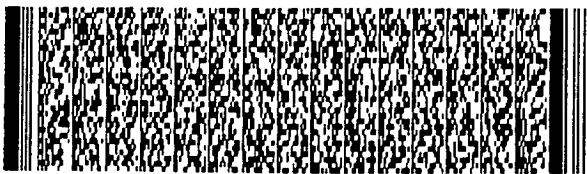
### 五、發明說明 (3)

度。該基板上表面設有複數個錫球鐸墊位於該基板上表面凹部之週邊，用以與外界形成電性連接。該基板包含複數個晶片接墊係設於該含有強化材料之絕緣層表面且裸露於該凹部，其中該晶片接墊係經由複數條導電線路電性連接至該錫球鐸墊。詳細言之，該半導體晶片可利用錫球、柱狀鐸錫突塊或異方性導電膠層(anisotropic conductive adhesive film (ACF)) 固定並且電性連接至該基板絕緣層上之晶片接墊。

值得注意的是，根據本發明之覆晶封裝構造，其用以將晶片接墊電性連接至錫球鐸墊之導電線路係完全設置在該含有強化材料之絕緣層之同一側邊。因此，根據本發明之覆晶封裝構造不需要在含有強化材料之絕緣層中設置鍍通孔，藉此可減少增加基板所需之導線電路長度，而增進最終封裝構造之電性效能。此外，根據本發明之基板，其線路密度不再受限於鍍通孔，因而可增加基板佈線之自由度。

根據本發明之覆晶封裝構造可另包含一金屬鍍層形成在該基板下表面（亦即該含有強化材料之絕緣層表面），以及複數個導電通孔(via)貫穿該含有強化材料之絕緣層。此外，根據本發明之覆晶封裝構造可包含一散熱器(heat sink)設於該半導體晶片之背面。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯，下文特舉本發明較佳實施例，並配合所附圖示，作詳細說明如下。

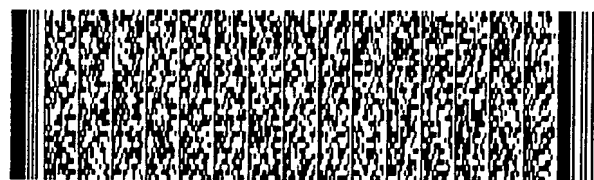
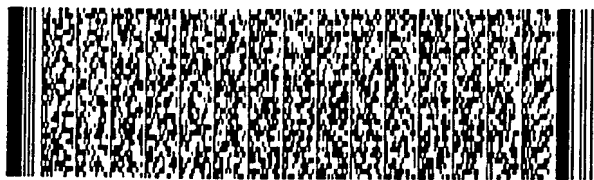


【實施方式】

第2圖所示為根據本發明一實施例之覆晶封裝構造200，其主要包含一基板210用以承載以及電性連接一半導體晶片220。該基板210具有一凹部210a界定於該基板之上表面，用以容置該半導體晶片220。該基板210具有一含有強化材料之絕緣層211用以增加該基板210之機械強度，以及複數個晶片接墊212設於該絕緣層211表面且裸露於該凹部。該絕緣層211可由玻璃纖維強化BT (bismaleimide-triazine) 樹脂，或FR-4玻璃纖維強化環氧樹脂(fiberglass reinforced epoxy resin)形成。

該基板210上表面設有複數個錫球焊墊213位於該基板上表面凹部之週邊。該每一錫球焊墊213係設有一錫球214用以電性連接至一外部電路板。該基板210一般包含介電層(例如預浸漬體(prepreg))以及導電電路(由銅箔形成)交錯設於該含有強化材料之絕緣層211上。因此，該複數個晶片接墊212係藉由設於該絕緣層211表面以及該導電電路之複數條導電線路(conductive traces)連接至該基板之上表面之錫球焊墊213。

雖然在本較佳實施例中，該基板210具有四層導電電路；然而必要的話，用於本發明之導電電路的總層數係視所需而定，但一般係包含四層或四層以上的導電電路。一般而言，不同導電電路層之間的電性連接係利用在介電層上鑽出介層洞(via hole)，並且在該介層洞塗覆一層導電金屬而達成。



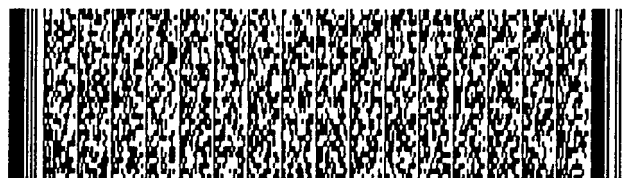
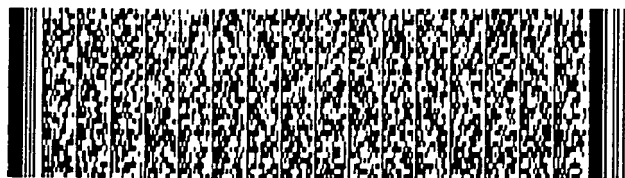
#### 五、發明說明 (5)

如第2圖所示，該半導體晶片220係利用複數個錫鉛連接(solder joint)222與基板210上的晶片接墊212接合。由於該基板210與半導體晶片220之熱膨脹係數差異相當大(半導體晶片之熱膨脹係數(coefficient of thermal expansion, CTE)約為 $3-5\text{ppm}^{\circ}\text{C}^{-1}$ ，基板之熱膨脹係數(CTE)約為 $20-30\text{ppm}^{\circ}\text{C}^{-1}$ )，因此該基板210與半導體晶片220間較佳具有一填膠(underfill)230用以密封該錫鉛連接222間之空隙。該填膠230可以減輕在錫鉛連接222上的熱膨脹係數不一致所導致的應力。

可以理解的是，該半導體晶片亦可利用柱狀鐳錫突塊或異方性導電膠層(anisotropic conductive adhesive film (ACF))固定並且電性連接至該基板絕緣層上之晶片接墊。此外，根據本發明之基板可以是層壓式(laminate type)，亦可以是利用任一種增層法(build-up)製程技術(例如自限式雷射鑽孔(conformal mask self-limited drilling)法或光成像導孔(photo-via)法)形成的多層板。

此外，根據本發明之覆晶封裝構造，其可另包含一散熱器240(heat sink)底部以一熱傳導性良好之膠層貼在該半導體晶片220之背面，使該半導體晶片所產生之熱可藉由該散熱片分散至外界環境中，藉此增進該封裝構造200之熱效能。

第3圖所示為根據本發明另一實施例之覆晶封裝構造300，其特徵在於具有一金屬鍍層310(例如一金鍍層)形



#### 五、發明說明 (6)

成在該基板210下表面（亦即該含有強化材料之絕緣層211表面），以及複數個導電通孔(via)320貫穿該絕緣層211。該半導體晶片所產生之熱可經由該導電通孔320而傳導至該金屬鍍層310，再由該金屬鍍層310散熱至外界環境中，藉此增進該封裝構造之熱效能。

如第1圖以及第2圖所示，在本發明之覆晶封裝構造200、300中，其用以將晶片接墊212電性連接至錫球錐墊213之導電線路係完全設置在該含有強化材料之絕緣層211之同一側邊。因此，根據本發明之覆晶封裝構造不需要在絕緣層211中設置鍍通孔，藉此可減少增加基板所需之導線電路長度，而增進最終封裝構造之電性效能。此外，根據本發明之基板，其線路密度不再受限於鍍通孔，因而可增加基板佈線之自由度。

雖然本發明已以前述較佳實施例揭示，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與修改。因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式簡單說明】

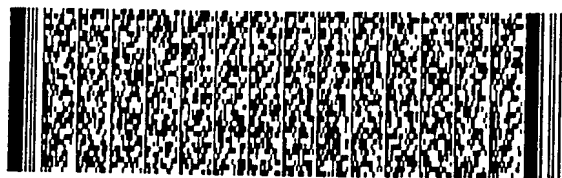
第1圖：習用覆晶封裝構造之剖面圖；

第2圖：根據本發明一實施例之覆晶封裝構造之剖面圖；及

第3圖：根據本發明另一實施例之覆晶封裝構造之剖面圖。

圖號說明：

100	覆晶封裝構造	110	錫鉛連接
110	半導體晶片	112	錫鉛連接
120	基板	121	蕊層
123	導電線路	125	錫球焊墊
129	鍍通孔	140	錫球
200	覆晶封裝構造	210	基板
210a	凹部	211	絕緣層
212	晶片接墊	213	錫球焊墊
214	錫球	220	半導體晶片
222	錫鉛連接	230	填膠
240	散熱器		
300	覆晶封裝構造	310	金屬鍍層
320	導電通孔		



## 六、申請專利範圍

### 1、一種覆晶封裝構造，其係包含：

一基板具有上表面以及一下表面，該基板包含：

一凹部界定於該基板之上表面；

一含有強化材料之絕緣層；

複數個晶片接墊設於該含有強化材料之絕緣層表面且裸露於該凹部；以及

複數個錫球鐸墊位於該基板上表面凹部之週邊，用以與外界形成電性連接，

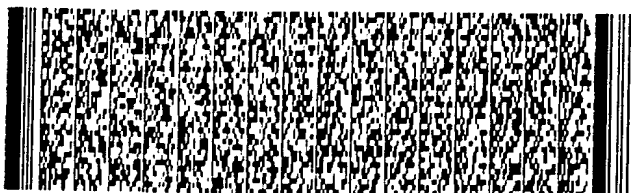
其中該複數個晶片鐸墊係電性連接至該複數個錫球鐸墊；以及

一半導體晶片以覆晶接合的方式設於該基板之凹部並且電性連接至該晶片接墊。

2、依申請專利範圍第1項之覆晶封裝構造，其中該半導體晶片係利用錫鉛連接(solder joint)固定並且電性連接至該基板之晶片接墊。

3、依申請專利範圍第2項之覆晶封裝構造，其另包含一填膠(underfill)設於該半導體晶片與基板之間。

4、依申請專利範圍第1項之覆晶封裝構造，其另包含一金屬鍍層形成在該基板下表面，以及複數個導電通孔(via)貫穿該含有強化材料之絕緣層。



六、申請專利範圍

5、依申請專利範圍第1項之覆晶封裝構造，其另包含一散熱器(heat sink)設於該半導體晶片之背面。

6、依申請專利範圍第1項之覆晶封裝構造，其中該含有強化材料之絕緣層係由玻璃纖維強化BT (bismaleimide-triazine)樹脂形成。

7、依申請專利範圍第1項之覆晶封裝構造，其中該含有強化材料之絕緣層係由FR-4玻璃纖維強化環氧樹脂 (fiberglass reinforced epoxy resin)形成。





第 1 / 14 頁



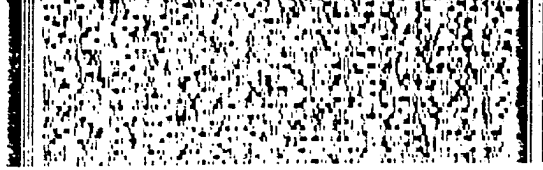
第 1 / 14 頁



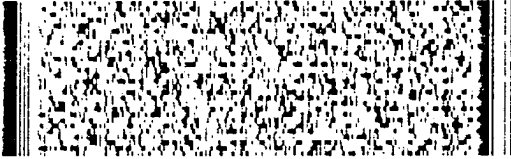
第 2 / 14 頁



第 2 / 14 頁



第 3 / 14 頁



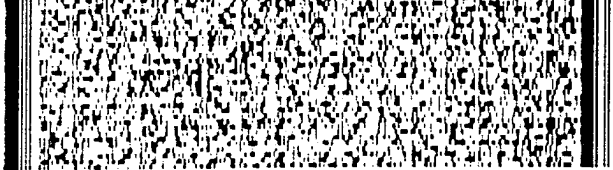
第 4 / 14 頁



第 5 / 14 頁



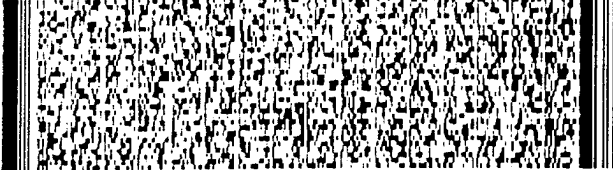
第 6 / 14 頁



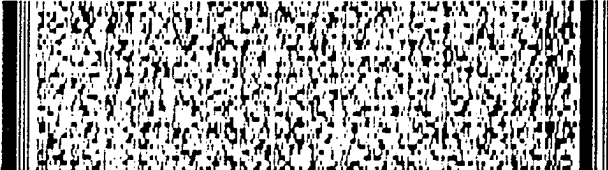
第 6 / 14 頁



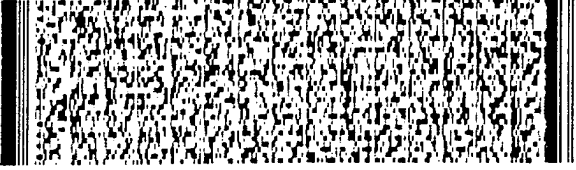
第 7 / 14 頁



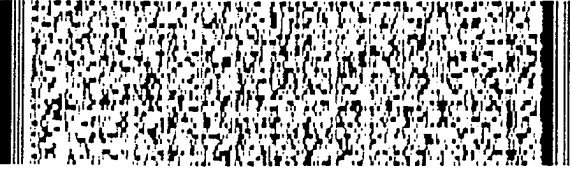
第 7 / 14 頁



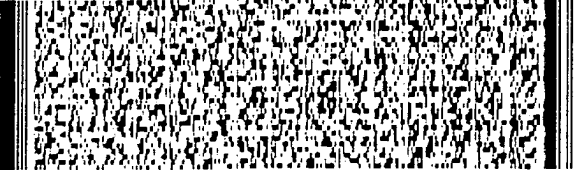
第 8 / 14 頁



第 8 / 14 頁



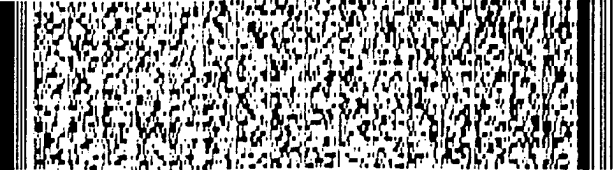
第 9 / 14 頁



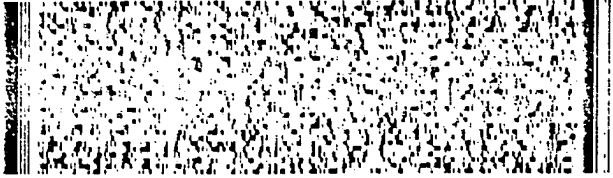
第 9 / 14 頁



第 10 / 14 頁



第 10 頁



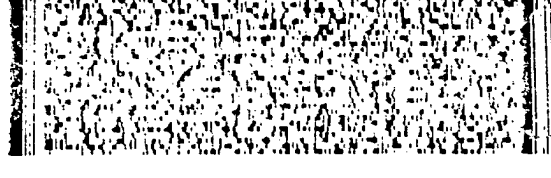
第 11 頁



第 12 頁



第 13 頁

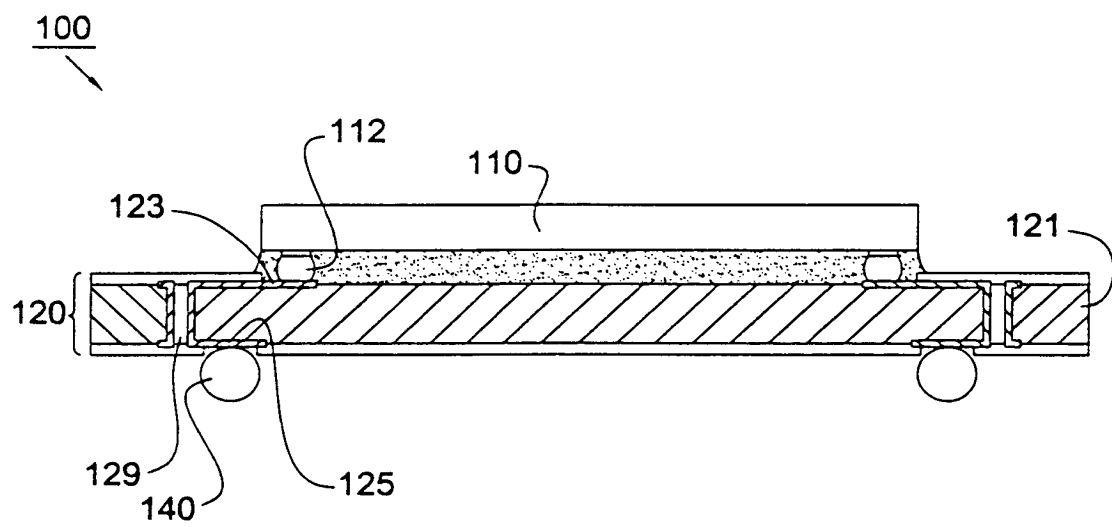


第 14 頁

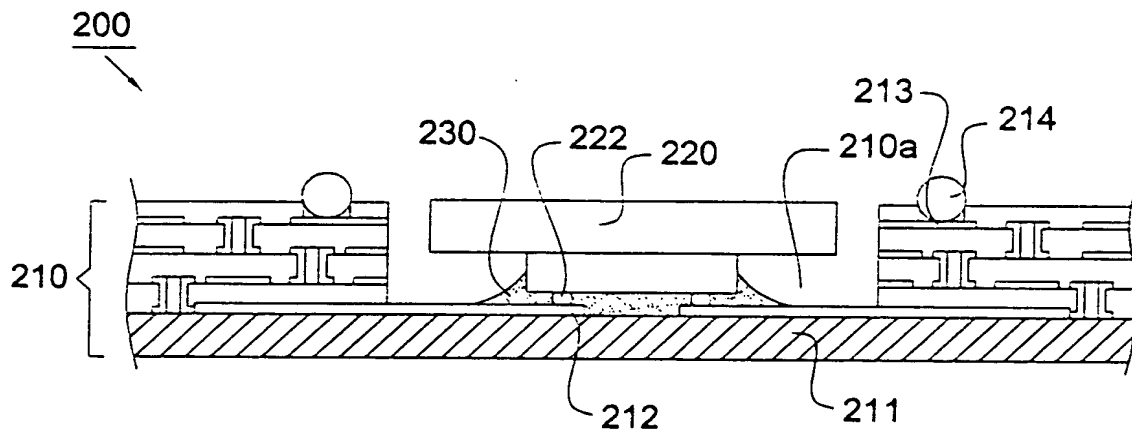


第 15 頁

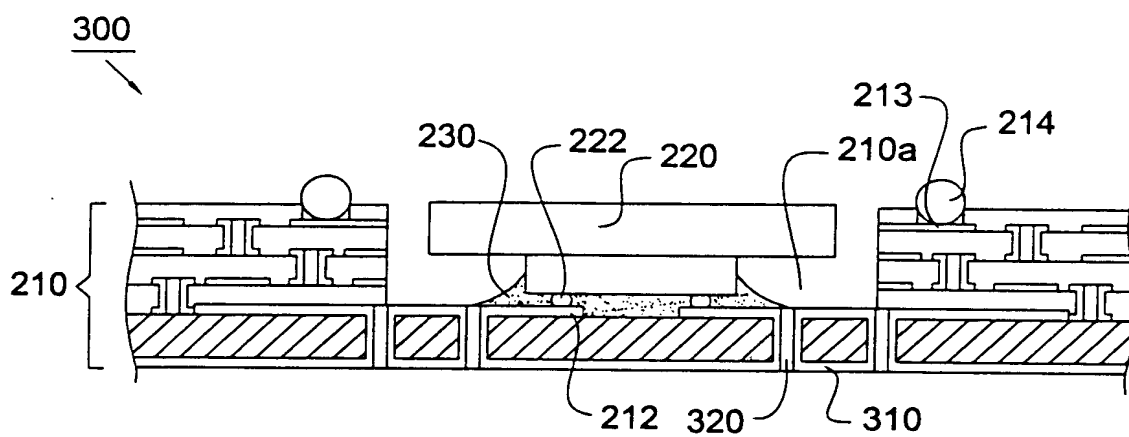




第 1 圖 (先前技術)



第 2 圖



第 3 圖